

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-142831

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月5日

G 06 F 9/38

3 7 0

B-7361-5B

審査請求 未請求 請求項の数 1 (全21頁)

⑭ 発明の名称 データ処理システム

⑮ 特 願 昭63-259628

⑯ 出 願 昭63(1988)10月17日

優先権主張 ⑰ 1987年10月19日 ⑱ 米国(U S) ⑲ 109656

⑳ 発 明 者 ラミイシ・クマー・カ  
ーン アメリカ合衆国ヴァージニア州ハーデン、コーバー・リッ  
ヂ・ドライブ13613番地

㉑ 発 明 者 サーストリイ・サーバ  
マンガーラ・ヴェドラ アメリカ合衆国ヴァージニア州ハーデン、コーバー・クリー  
ク・ロード2714番地

㉒ 出 願 人 インターナショナル・  
ビジネス・マシーン  
ズ・コーポレーション アメリカ合衆国10504、ニューヨーク州アーモンク(番地  
なし)

㉓ 代 理 人 弁理士 嶋宮 孝一 外1名

明 細 書

1. 発明の名称 データ処理システム

2. 特許請求の範囲

メモリ及び複数のレジスタに選択的に結合され  
た複数の実行装置を含んでなり、

命令コード、ソース・ロケーション・リファレ  
ンス、及び結果ロケーション・リファレンスを含  
む命令のシーケンスを処理するにあたって、各命  
令の命令コードが複数のクラスの何れかに分類さ  
れることを手掛りに、実行対象命令を、上記複数  
の実行装置のうちのしかるべき実行装置によって  
処理させるようにしたデータ処理システムであっ  
て、

(a) 上記命令シーケンスを受け取るための入  
力部と上記複数の実行装置の何れとも接続されて  
いる出力部とを具備してなり、

上記シーケンス中の命令の命令コードのクラス  
を識別して、該命令を、上記複数の実行装置のう  
ちの該識別されたクラスに対応する実行装置にディ

スバッチする

命令ディスバッチャ、及び

(b) 上記命令ディスバッチャに接続された入  
力部、及び上記複数の実行装置の何れとも接続さ  
れた入出力部を具備してなり、

上記シーケンス中の、第1の実行装置で実行さ  
れるべき第1の命令と、同シーケンスの中でその  
後に出現する、第2の実行装置で実行されるべき  
第2の命令との間の依存関係を検出すべく、第1  
の命令に関連する結果ロケーションを記憶してお  
いてこれを第2の命令に関連するソース・ロケー  
ションと比較し、

上記比較の結果、第1の命令の結果ロケーシ  
ョンと第2の命令のソース・ロケーションがマッ  
チした場合には、該第1の命令の実行が終了するま  
で該第2の命令の実行を待機させ、

上記比較の結果、第1の命令の結果ロケーシ  
ョンと第2の命令のソース・ロケーションがマッ  
チしない場合には、これらの命令を並行して実行さ  
せ得る

### 制御装置

を含んでなる、データ処理システム。

### 3. 発明の詳細な説明

#### A. 産業上の利用分野

開示された本発明は、広くはデータ処理に関するものであり、より詳しくは、多重実行装置を採用するデータ処理装置及びデータ処理方法に関するものである。

## B. 従来技術及びその問題点

典型的なノイマン型コンピュータは、線形シーケンス(列)の命令を発生順に実行し、かかる実行においては、単一の実行装置がその全時間と注意を現在の命令実行に傾注し、次の順番の命令実行を開始する前に現在の実行結果を得る。現在の命令実行を完了しつつある間に少なくとも次の命令を部分的に実行するため、先行技術において進歩がなされた。例えば、IBM社に譲渡されたニュートンに対する米国特許第3629853号は次の命令の記憶取り出し操作と現在の命令実行との重複を規定する。この順次命令の重複実行の

互に依存するオペレーションを実行することができ、しかしながら先行技術は、相互に依存する関数を効率よく実行するように1命令ストリーム上で作動する並行実行装置を提供する、効率的な方法を提案していない。

従って、相互に依存するオペレーションが順次実行されるのを可能にする一方、異なるクラスの命令を並行して実行するために、1命令ストリーム上で作動する、より効率的なデータ処理アーキテクチャを提供することが、本発明の目的である。

### C. 問題点を解決するための手段

本明細書において開示される発明は、複数のクラスの命令を並行して処理するための多重実行装置を持つ、データ処理装置である。該データ処理システムは、記憶装置並びに複数のレジスタいずれにも連結される複数の実行装置を含む。該データ処理システムは1命令シーケンスを処理し、該シーケンスはそれぞれがオペレーション）コード、原始位置数値、並びに結果位置数値を含む。各命令のオペコードは、複数のクラスの中の

概念は、IBM 社に譲渡されたコスグロープ他に対する米国特許第 4 3 9 9 5 0 7 号において更に確固としたものにされ、その中では命令取り出し、データ記憶アドレス生成、データ記憶域制御、並びに算術論理実行の 4 段階による命令実行経路が作られている。ある命令ストリームの順次実行速度を上げるための他の技術は、ディジタル信号処理における如きかなり繰り返しの多いサブタスクを持つタスクのために実行できる。かかる技術においては、例えば IBM 社に譲渡されたクラッツ他に対する米国特許第 4 0 4 1 4 6 1 号に例示する如く、データの異なるブロックにおける同時且つ同一のオペレーション（操作）を実行するために並行実行装置をプログラムすることができる。

IBM 社に譲渡されたワラスに対する米国特許第 4 1 4 9 2 4 3 号における如く、多重処理ネットワークが提案されており、かかるネットワークにおいては、別個の命令ストリーム上で作動するいくつかのデータ処理装置が連結され、ポスト・アンド・ウェイト（通知及び待機）論理によって相

1つに分類される。本発明に基づき、複数の中の対応する1命令装置において、該命令を実行するための装置が、各命令のオペコードのクラスに従って提供される。

該データ処理装置は、命令シーケンスを受け取るために連結された入力機能、並びに複数の実行装置の各々に接続される出力機能を持つ、命令ディスパッチャ（指名装置）を含む。これはシーケンス中の命令のオペコードのクラスを特定するための、また該命令をその特定されたクラスに対応する複数の実行装置の中の１つにディスパッチする（指名する）ためのものである。

該データ処理装置は更に、上記命令デイスバッ  
 ちに接続された入力機能並びに、複数の実行装  
 置の各々に接続された出力機能を持つ、制御装  
 置を含む。上記制御装置は、シーケンスの中で最初  
 に生じ、複数の中の最初の実行装置において実行  
 すべき命令によって、指定される結果位置を記憶  
 する。該制御装置は、最初に生じた命令の結果位  
 置を、シーケンスの中で二番目に生じ、複数の中

の二番目の実行装置において実行すべき命令によって指定される、結果位置と比較する。原始位置が結果位置（二番目の命令実行が最初の命令実行によってもたらされた結果に依存することを示す）と符合すれば、該制御装置は、最初の命令の実行完了まで二番目の命令実行を遅らせる。さもなければ、最初の命令と二番目の命令は、それぞれの実行装置において同時に実行される。

このようにして、相互に依存する異なるクラスの命令は、適切な方法で順次実行することができ、また相互に依存しない他の命令は、それぞれの実行装置において同時に、あるいは非同期に実行することができる。

#### D. 実施例

まず、以下の説明で使用する略語の表を掲載する。

略 語 表

ADR	アドレス
AGEN	アドレス生成
BFR	バッファ
OPD	オペランド
REG	レジスタ
RESULT	結果
RESULT__BUS	結果母線
RST	リセット
SEL	選択
SRC	ソース
ST(R)	記憶域
WR	書き込み

第1図は、データ処理装置の構成図であり、機能実行装置FEU1-FEU8と呼ばれる多重実行装置を示す。典型的なFEUのアーキテクチャは第2図に示されている。これらの8つの実行装置は、本明細書の中で更に論じられる如く、対応する8つの異なるクラスの命令を並行して処理することが出来る。異なるクラスの命令の例は、汎用レジスタ・ロードオペレーション、記憶読み取り書き出しオペレーション、算術的加算・減算・比較オペレーション、分岐命令、並びに入出力命令を含む。第1図に示されたデータ処理装置アー

BUF	バッファ
BUS	母線
BUSY	使用中
CMD	コマンド
CMP	完了
CNTL	制御
CPU	中央処理装置
CW	制御ワード
DATA__BUS	データ母線
DEC__INST	デコード命令
FEU	機能実行装置
G(P)R	汎用レジスタ
ID	識別子
IDEC	命令デコード
IDISP	命令ディスパッチャ
IMMED__DATA	即値データ
INSTR	命令
MEM	記憶
MEM__REQ	記憶域要求
MUX	マルチプレクサ

キテクチャは、従来の記憶制御装置を通じて主記憶装置と接続され、この記憶制御装置は、データの読み取り及び書き出しのための記憶場所を定めるアドレス値を、データ処理装置から受け取る。第1図に示すデータ処理装置アーキテクチャと関連して、従来の方法で使用するデータの一時的記憶に利用する16の汎用レジスタが考えられる。あるシーケンスにおいてデータ処理装置に適用される命令はそれぞれ、以下のものを含む。すなわち、データ処理装置が実行すべきオペレーションを定義するopコード、該opコードに従って処理すべきオペランドの、少なくとも1つの原始（ソース）位置数値、並びに該opコードの定義する機能の実行結果転送先を定める、少なくとも1つの結果位置数値である。

各命令のopコードは、複数のクラス（この例では8つ）の中の1つに分類され、これらのクラスの各々は、第1図のデータ処理装置における実行装置FEU1からFEU8の中の1つに対応する。本発明に基づき、該データ処理装置は該命令

のオペコードのクラスに従って、複数の中の対応する1つの実行装置において各命令を実行することができる。相互に依存しない命令は、対応するそれぞれの実行装置において同時に実行することができる。最初の命令の結果を二番目の命令のオペランドとして用いなければならないような、データ依存を有する命令については、最初の命令の実行結果が得られるまで、二番目の命令実行を遅らせる方法が提供される。

第1図は、命令シーケンスを受け取るために接続された入力機能を持ち、また複数の実行装置FEU1からFEU8の各々に接続される出力機能を持つ、データ処理装置内の命令ディスパッチャを図解している。命令ディスパッチャは、命令シーケンスから取り上げた命令のオペコードのクラスを特定する。命令ディスパッチャはその後、該命令をその特定されたクラスに対応する複数の命令実行装置の1つにディスパッチする。

命令ディスパッチャは、第3図に示す制御装置に接続された出力機能を持つ。該制御装置は、複

数の実行装置FEU1からFEU8の各々から接続された入力機能、並びに複数の実行装置FEU1からFEU8の各々に接続される出力機能を持つ。該命令ディスパッチャは、オペレーション中の各実行装置のための制御装置に制御ベクトルを出力し、制御ベクトルの例がいくつか第4図に示されている。各制御ベクトルは、2つの原始位置数値OPD1-ID(オペランド1識別子)とOPD2-ID(オペランド2識別子)を含む。各制御ベクトルはまた、結果位置数値RESULT-ID(結果識別子)を含む。各制御ベクトルはまた、命令の実行後に生じうるメモリ・アクセスのための記憶アドレスSTOR-ADRを含む。

制御装置は、シーケンスの中で最初に発生し、実行装置の中の最初の1つ(例えばFEU1)において実行すべき命令によって指定される、結果位置を記憶する。従って制御装置は、最初に生じる命令の結果位置を、命令シーケンスの中で二番目に発生し、複数の中の二番目(例えばFEU2)において実行すべき命令によって指定される、原

始位置と比較する。原始位置が結果位置と符合すれば(それは二番目の命令実行が最初の命令実行によってもたらされた結果に依存することを示す)、制御装置は、最初の命令の実行が完了するまで二番目の命令実行を遅らせる。これと違って、最初の命令と二番目の命令に上記の如き相互依存が存しない場合には、最初の実行装置FEU1における最初の命令実行は、二番目の実行装置FEU2における二番目の命令実行と、同時あるいは非同期に行われる。

このようにして、相互に依存する異なるクラスの命令は、適切に順次実行することができ、一方相互に依存しない異なるクラスの命令は、それぞれの実行装置において同時に実行することができる。これにより、命令ストリームの一層効率的かつ迅速な実行が可能になる。

#### 詳細な説明

本発明は、CPU(中央処理装置)アーキテクチャのための機能実行装置(FEU)概念に基づいている。開示された実施例において、全てのデー

タ母線及びアドレス母線は16ビット幅であるが、他のビット幅も採用できる。

命令及びデータは、1本の記憶母線(MEMBUS)を通じて記憶装置からアクセスされ、また制御線は独立している。本明細書で説明されるアーキテクチャはCPUについて開示されるが、入出力処理装置あるいはその他の専用機能処理装置にも応用することが出来る。

#### 命令デコード(復号)(IDEC)

開示されたアーキテクチャの中には1つの命令ストリームがある。第1図のIDECは、命令バッファ(緩衝域)が順次に満たされるまで命令をデコードし、それからアドレス生成装置にデコード済命令を提供する。一旦、所与の命令がデコードされれば、その命令は再びIDECを通る必要はない。命令は、各サイクルに1つずつ非常に速くデコードされる。

#### アドレス生成(AGEN)

第1図のAGENは、CPUのための全形式のアドレスを生成する。アドレス生成は全てのサイ

クルで実施され、I D E C 装置は命令バッファが一杯になるまで命令をA G E N に提供する。命令ストリームにおいて生じる可能性のある競合（コンフリクト）のせいで、A G E N 工程が再度同一の命令に関して繰り返される可能性がある。デコードされた命令は命令に関するマイクロコードアドレスを持つが、この開始マイクロコードアドレスはA G E N に記憶されるので、該ストリームにおいて後にアドレス生成を繰り返すことが出来る。A G E N 論理はまた記憶域要求も出し、即値オペランドがF E U に送られる。

#### 命令ディスパッチャ(I D I S P)

第1図のI D I S P 装置は、A G E N 装置からデコード済命令及びアドレスを受け取る。I D I S P 装置は以下のような機能を果たす。

##### 1. 次のような競合を解決する。

- ーレジスタデータ競合
- ーレジスタアドレス競合
- ーメモリデータ競合

##### 2. F E U にコマンドを出す。

て生成され、F E U に提供される。

##### 4. A G E N 装置にアドレス生成を提供する。

競合が解決された後、I D I S P 装置は所与の命令のためにアドレス生成を出すことができる。

##### 5. 全資源の追跡情報を保持する。

I D I S P 装置は処理中の各命令のレジスタ使用、処理中の各命令が要求するオペランドアドレス、F E U による各レジスタの更新、並びに処理中の命令についての各F E U による記憶場所の更新、に関する追跡情報を保持する。

第10図において一層詳細に示される命令ディスパッチャは、C P U における全ての同期機能を実施する。命令ディスパッチャは、I D E C からデコード済命令、A G E N から生成アドレス及びコマンドを受け取る。I D I S P はデコード済命令(D E C Q)、並びに生成済アドレス(F E A Q 又は S T A Q)を待ち行列中に保持する。A G E N からのコマンドは、I D I S P に送られるア

オペレーションに対し要求される資源が競合しなければ、I D I S P 装置は適切なF E U に命令を出す。F E U によって更新されているレジスタ又はオペランドが、所与の命令によってアドレス生成のため使用されれば、該命令は競合が解決されるまで保留される。しかし、前述のF E U 命令によって更新中のレジスタが競合する場合、あるいは前述のF E U 命令によって更新中の記憶装置に転送されるデータがある場合、F E U にコマンドが出される。このことは、更新されたレジスタ又はデータが、結果母線を通る短経路により再使用できる（すなわち、何れの結果レジスタも他のF E U に対する転送先となり得る）ため、可能である。この装置によって出される転送先・転送元制御は、このオペレーションを実現するために利用される。

##### 3. F E U に制御を出す。

転送先・転送元制御はI D I S P 装置によ

ドレスの種類、並びに該コマンドのステータス（状況）を示す。I D I S P 及びA G E N 間のインタフェースは厳密にはアドレス通信型であり、I D E C 及びI D I S P 間のインタフェースはデコード済命令のためのみのものである。

デコードされた命令は、o p コードの種類によってF E U コマンドを生成するためにI D I S P によって用いられる。このマッピングは、第13図から第22図において示された命令マップ表の表索引を用いて行われる。この表はO P D 1（オペランド1）、O P D 2（オペランド2）、R E S U L T（結果）のようなその他の情報も含む。この表の記載事項は、I D I S P のF E U \_ \_ C N T L（F E U 制御）論理における又は該論理に関連する読み取り専用記憶装置（R O S）中にあり、上記論理は静的O P D 1、O P D 2、R E S U L T のI D（識別子）を得るため読み取られる。これらの値は、オペランドが結果レジスタ又は記憶域バッファから循環されれば、F E U \_ \_ C M D（F E U コマンド）論理によって後に修正しな

ればならないかもしれない。

第10図におけるFEAQ、STAQは、AGENによって生成される取り出し及び記憶アドレスであり、オペレーションが完了するまで待ち行列中に保持される。所与の何れの時にも、システム内に、最大限8つの浮動命令が存在しうる。全ての待ち行列は最大限8つの命令をカバーする8列のものである。同様に、CPUのため構成された8つのFEUがあり、従ってまたこれらのFEUはIDISPにおいて維持される8命令ステータスに対応する。

競合は、IDISPにおける取り出しアドレス及び記憶アドレスについて検査される。取り出しアドレスの競合があり、該アドレスが前の命令のために取り出されていれば、IDISPは適切な結果レジスタを使用するために、適切なOPD ID(オペランド識別子)をFEU装置に提供する。記憶アドレスは競合を解決するために再び利用される。記憶アドレスの競合があれば、記憶装置へ転送するためセットされていたアドレスは、

特定のFEUに制御を出す。FEUのFEU\_\_BUSY\_\_Nがオンの場合には、該制御はFEUが使用可能になるまで遅れる。

第1図の記憶域バッファ論理からのST\_\_CMP\_\_N(記憶完了)は、記憶域バッファ中の特定のスロットが記憶装置への記憶を完了したことを示す。この信号は、IDISPが記憶アドレス競合検査をしなくてよいように、第10図のSTAQにおける記憶アドレスをリセットすることができる。

IDISPへのRESULT\_\_REG\_\_RST(結果レジスタリセット)線は、特定の結果レジスタがリセットされており、そのレジスタの競合論理がIDISPにおいてリセット可能なことを示す。例えば、前の命令の結果を用いる命令が存在する可能性があれば、リセット可能な命令のためフラグがリセットされる。同様に以降の命令も、それらがオペランドとして結果レジスタを必要とするのであれば、そのレジスタを参照する必要はない。

適切なOPD IDをコード化することによって適切なオペランドレジスタに再移送される。

レジスタの競合があれば、IDISPは該競合を解決し、OPD IDフィールド中の適切なIDをFEUにコード化する。第10図のGPR制御論理はGPRファイルへの適切なゲートを生成し、FEUにGPRアドレスを提供する。IDISPからのGR\_\_CNTL(GR制御)出力は、GPRファイルに対するアドレスと制御から成る。

第10図のFEU\_\_CMD論理は、FEUからのFEU\_\_BUSY\_\_N(FEU使用中)線によってトリガをかける。FEU\_\_CMD論理はIDECからの命令及びAGENからのコマンドを受け取ると直ちに特定のFEUにコマンドを出す。FEUのFEU\_\_BUSY\_\_Nがオンの場合には、該コマンドはFEUが使用可能になるまで遅れる。

第10図のFEU\_\_CNTL論理は、FEUからのFEU\_\_BUSY\_\_N線によってトリガする。FEU\_\_CNTL論理は、IDECからの命令及びAGENからのコマンドを受け取ると直ちに、

第10図のFEU選択論理は、FEU及びFEU制御への選択線を制御する。この線は、該FEUが使用中でない場合에만ゲートされる。

第10図のAGEN制御は、アドレスを再生成し、命令のステータスを受け取り送るために利用される。

第10図の順序付け論理(SEQ L)は、8つの命令、それらの命令の到着順序、競合解決、並びに次のFEUコマンド及び制御を制御する。

#### オペランドレジスタ(OPD REG)

第1図のオペランドレジスタは、FEUのオペランドデータをバッファする為に利用される。各FEUの前に、2つのオペランドレジスタが必要である。該オペランドレジスタは、以下のソース(起動源)によってロードされる。

- ・ 記憶装置からのデータ(MEM\_\_BUS)
- ・ AGENからの即値データ(IMMED\_\_DATA)
- ・ 汎用レジスタからのデータ(GR\_\_BUS\_\_AあるいはGR\_\_BUS\_\_B)

- ・ 記憶域バッファからのデータ (STORE  
\_\_BUS)
- ・ 結果レジスタからのデータ (RESULT  
\_\_BUS)

F E U \_\_C M DからのS R C 1 S E L (ソース1 選択) 制御線及びS R C 2 S E L (ソース2 選択) 制御線は、オペランドレジスタ中にゲートする上記5 ソースの1つを選択するために利用される。

#### 機能実行装置 (F E U)

第1 図の関数実行装置は実行要素であり、特定の種類の関数を実行する。開示された特定の実施例についてのF E Uアーキテクチャは、次のような別個の且つ異なるF E U機能を持つ。

1. ロード。
2. 記憶。
3. 加算、減算、固定小数点の比較。
4. 加算、減算、浮動小数点の比較。
5. ビットのセット/留め置き、シフト、論理演算。

トはリセットされる。ここで、F E Uは次のオペレーションの準備が出来ている。

各F E Uは独立したオペランドレジスタ及び結果レジスタを持ち、コマンドはI D I S P装置によってF E Uに向かう。従って、F E Uの幾つかは命令が競合しなければ、並行して且つシーケンス順序を無視して実行することが出来る。

#### 結果レジスタ (R E S U L T R E G)

第1 図の各F E Uについて1つの結果レジスタがあり、オペレーションがF E Uによって完了された後、結果レジスタの有効ビットがセットされる。この結果レジスタは、R E S U L T \_\_B U S及びF E U制御機構を通じて他のどの原始レジスタにも転送可能である。レジスタの使用が完了すると、結果レジスタの有効ビットはリセットされる。F E Uは、有効ビットがリセットされるまでレジスタに結果をロードすることができない。これにより、新しい結果が生成される前に、前の結果が転送されることが確実になる。

#### レジスタファイル (R E G F I L E)

6. 乗算。
7. 除算。
8. 分岐、入出力、その他。

この8つの機能実行装置の特定の組合せの選択は、特定の信号処理応用における命令のパーセンテージに基づく。しかしながら、F E U機能の他の組合せ、並びにこの実施例での8という数以外の他のグループのサイズを、他のC P U応用のために選択することができる。

各F E Uは、I D I S P装置からF E U \_\_C M Dを受け取る。各F E Uは、オペランドがオペランドレジスタに到着するのを待つ。一旦オペランドが到着すれば、F E Uは有効ビット (O P D \_\_R E G 1 \_\_V及びO P D \_\_R E G 2 \_\_V) を検査し、その後オペレーションを開始する。F E Uにおける関数の実行は、多重サイクルを取ることができる。F E Uオペレーションがなされれば、結果はF E Uの結果レジスタにロードされ、結果レジスタ中の有効ビット (R E S U L T \_\_V \_\_N) は1にセットされ、オペランドレジスタの有効ビッ

開示されたアーキテクチャに関し、第1 図のレジスタファイルには16の汎用レジスタがある。これらのレジスタは独立してアドレスを指定することができ、1つの読み取り部分及び2つの書き込み部分がある。レジスタは、転送元及び転送先制御論理によってのみアドレスを指定することができる。I D I S P及びA G E N装置は、レジスタファイルを読み取る又はファイルに書き込むG R \_\_C N T L (汎用レジスタ制御) を出すことが出来る。G R \_\_C N T Lはアドレス線及び読み取り/書き込み制御装置から成る。

#### 記憶域バッファ (S T O R E B U F)

第1 図の記憶域バッファは、記憶装置に転送される記憶データ待ち行列である。記憶作業の遅れを調整するため、且つまた、多重F E U記憶装置を扱うため、8列の待ち行列がバッファとして提供されている。データはこの待ち行列中に記憶され、アドレスはI D I S P装置によって維持される。記憶域バッファデータは、処理装置に局部的に存在するオペランドを記憶装置から取り出さず

にすむよう、原始レジスタ及び記憶装置に同時に転送することも可能である。これらの記憶位置が、現命令ストリームにおいてアドレス競合を持つ可能性があるため、IDISP装置はこれらを比較しなければならない。

#### FEUインタフェース

第2図は、FEUインタフェースのより詳細な図解である。

FEUコマンドは、CMDフィールド、並びにSRC1SEL及びSRC2SELフィールドから成る。CMDフィールドは、所与のFEUタイプについての命令の種々の様式を示す。例えば、ロードFEUはFEUが実行すべき様々なロード命令を持つ。FEUアコード論理は二、三のオペレーションのみを認識すればよいので、非常に単純な論理である。CMDに加えて、コマンドに対するFEUを選択する、IDISPからFEUへの選択線がある。このコマンドは、IDISPが全サイクルでコマンドを出すことができるように、1サイクルについてのみ有効である。FEUは内

部で該コマンドをラッチしなければならない。

オペランドレジスタへのゲートは、FEU制御セクションにおいて説明する如き転送元・転送先論理によって制御される。

FEUは、要求されるオペランドレジスタが有効で、且つ使用後に有効ビットがオフになる場合に実行を開始する。オペレーションが終了すると結果レジスタは対応FEUによってロードされ、有効ビットがオンになる。結果レジスタの有効ビットは、結果レジスタ使用后、転送元・転送先論理によってオフされる。

FEU\_CMDはCMDフィールド、SRC1SELフィールド、SRC2SELフィールドから成る。CMDは、対応するFEUに対して適当なFEU装置命令を示す。SRC1SEL及びSRC2SELは、mux(マルチプレクサ)入力を可能にするオペランドレジスタ入力 mux 選択である。以下のコードが mux 選択のために利用される。

SRC1SEL

1. GR\_\_BUS\_\_A(汎用レジスタ母線)
2. DATA\_\_BUS(データ母線)
3. STORE\_\_BUS(記憶母線)
4. RESULT\_\_BUS(結果母線)
5. IMMEDIATE DATA(即値データ)

SRC2SEL

1. GR\_\_BUS\_\_A(汎用レジスタ母線)
2. DATA\_\_BUS(データ母線)
3. STORE\_\_BUS(記憶母線)
4. RESULT\_\_BUS(結果母線)
5. IMMEDIATE DATA(即値データ)

#### FEU制御

第3図は、FEU制御論理の図解である。FEU制御論理は、FEU機構の転送元・転送先資源のためのゲートを制御する。該資源を利用する16のオペランドレジスタ、16の汎用レジスタ、8つの記憶域バッファ、記憶装置、AGEN装置がある。以下のIDが転送元・転送先フィールド

に割当てられる。

1. FEU1で使用されるオペランドレジスタ1.
2. FEU2で使用されるオペランドレジスタ2.
3. FEU3で使用されるオペランドレジスタ3.
4. FEU4で使用されるオペランドレジスタ4.
5. FEU5で使用されるオペランドレジスタ5.
6. FEU6で使用されるオペランドレジスタ6.
7. FEU7で使用されるオペランドレジスタ7.
8. FEU8で使用されるオペランドレジスタ8.
9. FEU9で使用されるオペランドレジスタ9.
10. FEU10で使用されるオペランドレジスタ10.
11. FEU11で使用されるオペランドレジスタ11.
12. FEU12で使用されるオペランドレジスタ12.
13. FEU13で使用されるオペランドレジスタ13.
14. FEU14で使用されるオペランドレジスタ14.
15. FEU15で使用されるオペランドレジスタ15.
16. FEU16で使用されるオペランドレジスタ16.
17. レジスタファイル.
18. AGEN装置.
19. 記憶域バッファ1.



- 20. 記憶域バッファ2.
- 21. 記憶域バッファ3.
- 22. 記憶域バッファ4.
- 23. 記憶域バッファ5.
- 24. 記憶域バッファ6.
- 25. 記憶域バッファ7.
- 26. 記憶域バッファ8.
- 27. 結果レジスタ1.
- 28. 結果レジスタ2.
- 29. 結果レジスタ3.
- 30. 結果レジスタ4.
- 31. 結果レジスタ5.
- 32. 結果レジスタ6.
- 33. 結果レジスタ7.
- 34. 結果レジスタ8.
- 35. 即値データ.
- 36. 記憶装置から.
- 37. 記憶装置へ.
- 38. 入出力装置.
- 39. 入出力装置.

- 40. 入出力装置.
- 41. 入出力装置.
- 42. 入出力装置.
- 43. 入出力装置.
- 44. 入出力装置.
- 45. 入出力装置.
- 46. 入出力装置.
- 47. 入出力装置.
- 48. ステータスレジスタ.
- 49. 多重ロード.
- 50. POPM.
- 51. PSHM.

第3図のFEU CNTL論理は、全FEUを制御する単一制御装置である。FEU CNTL論理は、IDISP装置からID、FEU選択線、また各FEUから個々のRESULT\_\_V\_\_N線を受け取る。FEU CNTL論理は、汎用レジスタがAGENによってアクセスできるようにAGEN装置からGR\_\_CNTLを受け取る。FEU CNTL論理はまた、原始オペランドレジス

タが所与のFEUにロードされるようにIDISP装置からGR\_\_CNTL線を受け取る。IDISPからの制御は、1サイクルについてのみ有効である。後で必要になれば、FEUはIDと制御をラッチしなければならない。FEU CNTL論理はIDISP装置及びFEUから受け取った全制御を保管し、また結果レジスタに制御を提供し、原始レジスタ(オペランドレジスタ)へのゲート、レジスタファイルへのゲート、更に記憶レジスタへのゲートを提供する。

FEU CNTL論理は、結果レジスタが適切な転送先にゲートされた後、RESULT\_\_V\_\_N線をリセットする。該論理はまた、結果レジスタを適切にゲートさせるためのRESULT\_\_BUS制御も行う。

ID(OPD1\_\_ID、OPD2\_\_ID、RESULT\_\_ID)は、命令が必要とする転送元及び転送先を示すのに用いられる、6ビットのIDである。OPD1\_\_IDはオペランド1の転送元(どこから来ているか)、OPD2\_\_IDはオペ

ランド2の転送元(どこから来ているか)、そしてRESULT\_\_IDはオペレーションの結果(記憶域のどこに転送されるか)を示す。オペランドが結果レジスタの前のオペレーションから来ているれば、OPD1\_\_IDあるいはOPD2\_\_IDにおいて適切に示されるであろうし、オペランドが記憶装置から来ているれば、OPD2\_\_IDあるいはOPD2\_\_IDにおいて適切に示される。以下同様である。制御論理は全FEUについて、各オペランドステータスの追跡情報を保持し、結果レジスタにゲート制御、母線選択、並びにリセット制御を提供する。この中央化された機構は、他FEUの動作に影響されずに並行多重FEUを実行するのに必要である。

該制御はまた、同期を提供することより、IDISP及びFEUの非同期オペレーションを提供する。各FEUオペレーションの終了後、FEUによって有効ビットがセットされ、制御論理が有効ビットをリセットしてどのFEUがオペレーションを完了したかをIDISPに示す。該制御は、

転送元・転送先IDの追跡情報を保持するIDISP装置において同期を提供する。

#### FEU原始・結果選択論理

FEU原始・結果選択論理の詳細な説明については、第11図を参照のこと。j=1については、GR\_SRC(2j-1)線がGT\_SRC\_1になり、RESULT\_REG\_RST\_J(結果レジスタリセットJ)がRESULT\_REG\_RST\_1になる。FEU\_CONTROL\_WORD(FEU制御ワード)のOPD1\_IDフィールドは、該フィールドが即値オペランド(コード35)又はGPRデータ(コード17)かどうか調べるため走査され、いずれかの場合にはGT\_SRC\_1が即時に活動化される。OPD1\_IDがRESULT\_REG1(コード28)を指定すれば、RESULT\_V\_1が活動状態のときGT\_SRC\_1は活動化される。同じことがコード29からコード34にも言える。

オペランドが記憶装置(コード36)から来ることをOPD\_IDフィールドが指定していれば、

記憶装置からのデータ有効が活動状態のときGT\_SRC\_1は活動化され、またOPD\_ID\_Mは、(2j-1)(この場合には1である)に等しい。GT\_SRC\_(2j-1)がGT\_SRC(2j)になることを除いて、同じことがOPD2\_IDフィールドについても成り立つ。

#### FEU記憶域バッファ選択論理

FEU記憶域バッファ選択制御の詳細な説明については第12図を参照のこと。優先選択構造は、切り捨てのためRESULT\_REG\_Jを選択する。FEU\_CONTROL\_WORDのRES\_IDフィールドが17で且つRESULT\_V\_Jが活動状態ならば、GT\_WRITE\_GPRは活動化される。しかし、上記フィールドが37で且つRESULT\_V\_Jが活動状態ならば、GT\_ST\_BFR\_WRが適切に活動化され、STORE\_ADR\_J(記憶アドレスJ)及びST\_BUF\_ADR\_J(記憶域バッファアドレスJ)を、STORE\_ADR母線及びST\_BUF\_ADR母線に適切にゲートする。

#### 例1 一 説明

FEUアーキテクチャの概念を説明するために我々は、4命令のみの小さいシーケンスを採用し、その実行により多重FEUのタイミング及び利用を示した。

1. SB5、#2000; アドレス2000で記憶域のオペランドのビット5をセットする。
2. L1、#4000; 記憶域アドレス4000からレジスタ1をロードする。
3. AR1、2; レジスタ1と2を加算し、結果をレジスタ1に戻す。
4. MR4、6; レジスタ4と6を乗算し、結果をレジスタ4と5に入れる。

上で説明した4つの命令は、IDEC装置によってデコードされ、AGENはオペランドのアドレスを生成する。AGEN装置と並行するIDISP装置は、FEU装置にディスパッチするためにさらに命令をデコードする。IDISP装置は又、命令中に起こり得る競合を解決する。IDISP

装置は各命令に対してFEU\_CNTLを形成し、それを転送元・転送先制御論理(SDCNTL)に送る。

所与の例についてのFEU\_CNTLは、第4図において示す如く、IDISPによってコード化される。

FEU5から見た、オペレーション1つずつの説明は以下の通りである(第5図と第6図のタイミング図を参照のこと)。

1. 命令1が命令記憶域から取り出される。
2. 命令1がデコードされる。GRもアクセスされる。
- ・ アドレス生成がAGEN論理によってオペランド取り出しのためになされる。
- ・ LOC2000のデータをFEU5に提供せよという記憶域要求が出される。
- ・ IDISPがFEU5命令レジスタに命令ベクトルを送る。
- ・ 制御ベクトル35 36 37 2000がIDISPによって生成され、FEU\_

- CNTL 論理に送られる。
- ・ FEU\_\_SEL\_\_N が、FEU5 を選択するため5にセットされる。
  - ・ 5である第1オペランドが IMM\_\_DATA\_\_REG においてパツファされる。
3. 制御ベクトル 35 36 37 2000 が FEU\_\_CW\_\_5 に入れられる。
  4. FEU5 が FEU\_\_BUSY\_\_5 ラッチをセットし、使用中であることを示す。
  5. FEU 制御論理が GT\_\_SRC\_\_9 信号を生成し、FEU5 コマンドレジスタが、データ5が OPD\_\_REG9 にゲートされるように即値データを選択する。
  6. OPD\_\_REG9\_\_V がセットされ、オペランドが有効であることを示す。
  7. FEU\_\_CW\_\_5 は、二番目のオペランドが記憶装置から来るはずであることを示すコード36を持ち、また記憶装置からのデータが有効で且つ FEU5 に転送される場合、GT\_\_SRC\_\_10 線を生成する。
- せよという記憶域要求が出される。
- ・ IDISP が FEU1 命令レジスタに命令ベクトルを送る。
  - ・ 制御ベクトル 17 36 17 4000 が IDISP によって生成され、FEU\_\_CNTL 論理に送られる。
  - ・ FEU\_\_SEL\_\_N が、FEU1 を選択するため1にセットされる。
  - ・ GR1 データのため GR ファイルがアクセスされる。
3. 制御ベクトル 17 36 17 4000 が FEU\_\_CW\_\_1 に入れられる。
  4. FEU1 が FEU\_\_BUSY\_\_1 ラッチをセットし、使用中であることを示す。
  5. FEU 制御論理が GT\_\_SRC\_\_1 信号を生成し、FEU1 コマンドレジスタが、GR1 の内容を OPD\_\_REG1 にゲートする、GR\_\_BUS\_\_A を選択する。
  6. OPD\_\_REG1\_\_V がセットされ、オペランドが有効であることを示す。
8. OPD\_\_REG\_\_10 有効がセットされる。
  9. FEU5 が、双方のオペランドが有効であるとみなして、発火（ファイア）する。
  10. 「結果レジスタ有効」がセットされ、「オペランド有効」がリセットされる。
  11. FEU\_\_CW\_\_5 が、GT\_\_ST\_\_BFR\_\_WR を生成し、記憶アドレス2000の連鎖内容及び結果レジスタデータを記憶パツファに記憶し、「結果有効」をリセットし、使用中ビットのリセットによって FEU5 を解放する。
- FEU1 から見た、オペレーション1つずつの説明は以下の通りである（第7図のタイミング図を参照のこと）。
1. 命令2が命令記憶域から取り出される。
  2. 命令2がデコードされる。GR もアクセスされる。
  - ・ アドレス生成が AGEN 論理によってオペランド取り出しのためになされる。
  - ・ LOC4000 のデータを FEU1 に提供
7. FEU\_\_CW\_\_1 は、二番目のオペランドが記憶装置から来るはずであることを示すコード36を持ち、また記憶装置からのデータが有効で且つ FEU5 に転送される場合、GT\_\_SRC\_\_2 線を生成する。
  8. OPD\_\_REG\_\_2 有効がセットされる。
  9. FEU1 が、双方のオペランドが有効であるとみなして、発火する。
  10. 「結果レジスタ有効」がセットされ、「オペランド有効」がリセットされる。
  11. FEU\_\_CW\_\_1 が RESULT\_\_V\_\_1 をリセットし、GR1 が現書き込みを冗長にする後続の命令によって書き込むべきものであることを発見する。従って現書き込みを取り消し、FEU\_\_BUSY\_\_1 をリセットする。
- FEU3 から見た、オペレーション1つずつの説明は以下の通りである（第8図のタイミング図を参照のこと）。
1. 命令3が命令記憶域から取り出される。

2. 命令3がデコードされる。GRもアクセスされる。
    - ・ アドレス生成がAGEN論理によってオペランド取り出しのためになされる。
    - ・ この命令については記憶域要求がなされない。
    - ・ IDISPがFEU3命令レジスタに命令ベクトルを送る。
    - ・ 制御ベクトル27 17 17 FFFFがIDISPによって生成され、FEU\_CNTL論理に送られる。
    - ・ FEU\_SEL\_Nが、FEU3を選択するため3にセットされる。
    - ・ オペランドのためGRファイルがアクセスされる。
  3. 制御ベクトル27 17 17 FFFFがFEU\_CW\_3に入れられる。
  4. FEU3がFEU\_BUSY\_3ラッチをセットし、使用中であることを示す。
  5. FEU3コマンドが、オペランド1のため
    - ・ オペランド有効」がリセットされる。
  14. FEU\_CW\_3がGT\_WRITE\_GPRを生成し、RESULT\_REG\_3をGR1に記憶し、RESULT\_V\_3をリセットし、使用中ビットのリセットによってFEU3を解放する。
- FEU6から見た、オペレーション1つずつの説明は以下の通りである（第9図のタイミング図を参照のこと）。
1. 命令4が命令記憶域から取り出される。
  2. 命令4がデコードされる。GRもアクセスされる。
    - ・ アドレス生成がAGEN論理によってオペランド取り出しのためになされる。
    - ・ 記憶域要求は必要ない。
    - ・ IDISPがFEU6命令レジスタに命令ベクトルを送る。
    - ・ 制御ベクトル17 17 17 FFFFがIDISPによって生成され、FEU\_CNTL論理に送られる。
  3. 制御ベクトル17 17 17 FFFFがFEU\_CW\_6に入れられる。
  4. FEU6がFEU\_BUSY\_6ラッチをセットし、使用中であることを示す。
  5. FEU6コマンドベクトルが、オペランド1のためGR\_BUS\_A及びオペランド2のためGR\_BUS\_Bを選択する。
  6. FEU制御論理が、GT\_SRC\_11信号とGT\_SRC\_12信号を生成する。
  7. OPD\_REG11\_Vがセットされ、オペランドが有効であることを示す。
  8. OPD\_REG12\_Vがセットされ、オペランド2も使用可であることを示す。
  9. FEU6が双方のオペランドを有効であるとみなして発火する。
  10. 実行するために5サイクルを取る。
- のRESULT\_BUS（結果母線）及びオペランド2のためのGR\_BUS\_Bを選択する。
6. FEU制御論理がコード27から、OPD1がRESULT\_REG\_1から来るはずであることを発見して、GT\_SRC\_5を生成するためRESULT\_V\_1をモニタする。
  7. OPD\_REG6\_Vがセットされ、オペランドが有効であることを示す。
  8. FEU\_CW\_3は、二番目のオペランドがGPRから来るはずであることを示すコード17を持ち、即時にGT\_SRC\_6線を生成する。
  9. OPD\_REG6\_Vがセットされる。
  10. FEU3はOPD\_REG5\_Vを待つ。
  11. GT\_SRC\_5がサイクル8で来て、OPD\_REG\_Vをセットする。
  12. FEU3が発火する。
  13. 「結果レジスタ有効」がセットされ、「オ

11. 「結果レジスタ有効」が最後の実行サイクルでセットされ、OPD\_\_REG11\_\_VとOPD\_\_REG12\_\_Vがリセットされる。
12. FEU\_\_CW\_\_6がGT\_\_WRITE\_\_GPRを生成し、「結果有効」をリセットし、使用中ビットのリセットによってFEU6を解放する。

以上により、本データ処理装置が、並行連結実行装置における、相互に依存する異なるクラスの命令の、同時あるいは非同期いずれの実行も可能にすること、且つ二番目の実行装置における依存命令の実行を、最初の実行装置における前命令の実行完了まで遅らせることによって、相互に依存する異なるクラスの命令の順次実行を可能にすることがわかるであろう。

#### E. 効果

本発明によれば、命令コードのクラスに応じた実行装置で命令シーケンス中の命令を実行させるようにしたデータ処理システムにおいて、命令シー

ケンス中のある命令の実行結果に依存する関係にある別の命令が存在する場合に、まず該実行結果を求めてから該別の命令を実行させることができるとともに、かような依存関係にない命令は別々の実行装置で並列的に実行させることができるので、命令シーケンスの処理効率及び速度が向上するという優れた効果が得られる。

4. 図面の簡単な説明

第1図は、本発明の全体的なアーキテクチャの図である。

第2図は、実行装置中の1つのアーキテクチャの図である。

第3図は、制御装置のアーキテクチャの図である。

第4図は、実行装置制御ベクトルの図である。

第5図は、実行装置FEU5のオペレーションの一例のタイミング図である。

第6図は、該例におけるFEU5についての追加のタイミング図である。

第7図は、該例における実行装置FEU1につ

#### 4. 図面の簡単な説明

第1図は、本発明の全体的なアーキテクチャの図である。

第2図は、実行装置中の1つのアーキテクチャの図である。

第3図は、制御装置のアーキテクチャの図である。

第4図は、実行装置制御ベクトルの図である。

第5図は、実行装置FEU5のオペレーションの一例のタイミング図である。

第6図は、該例におけるFEU5についての追加のタイミング図である。

第7図は、該例における実行装置FEU1につ

いてのタイミング図である。

第8図は、該例における実行装置FEU3のタイミング図である。

第9図は、該例における実行装置FEU6のタイミング図である。

第10図は、命令ディスパッチャの概略図である。

第11図は、原始・結果選択論理の概略図である。

第12図は、記憶域バッファ選択論理の概略図である。

第13図は、FEU制御についての命令マップを描写するものである。

## 第4図

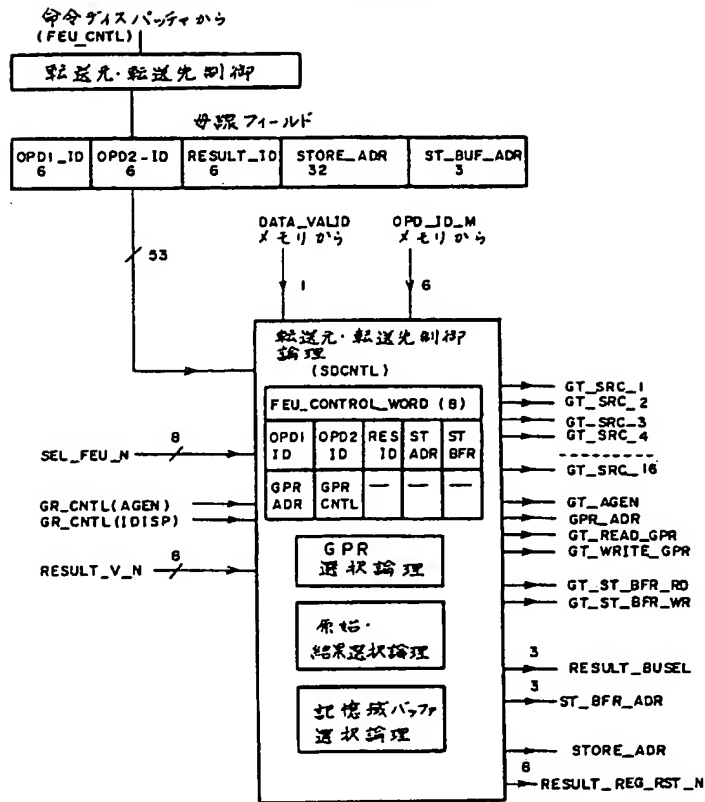
実行装置制御ベクトル： 例1

OPD1_ID	OPD2_ID	RESULT_ID	ADDRESS	
35	36	37	2000	命令1
17	36	17	4000	命令2
27	17	17	FFFF	命令3
17	17	17	FFFF	命令4

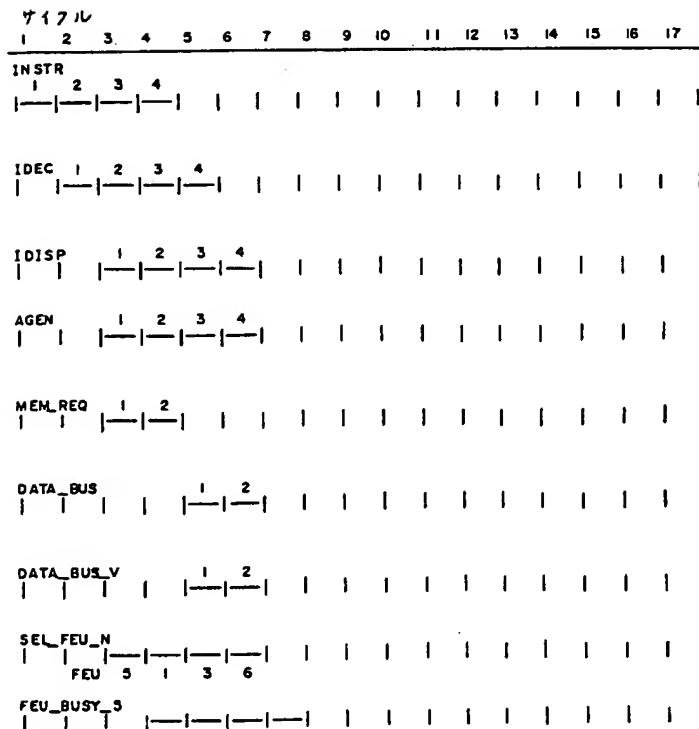
出願人 インターナショナル・ビジネス・  
マシーンス・コーポレーション  
代理人 弁理士 頼 宮 孝 一  
(外1名)



第3図  
FEU制御図

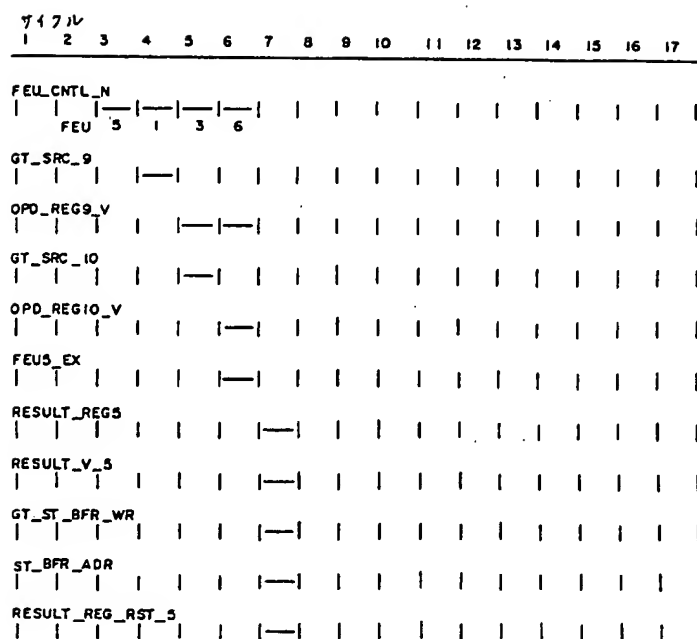


第5図  
FEUS: タイミング図



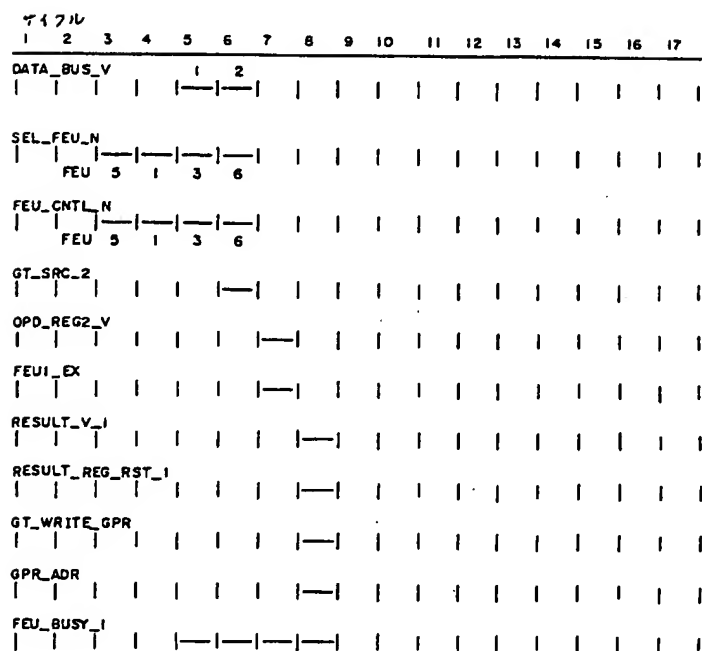
第 6 圖

FEU5: タイミング図(続)



第 7 圖

FEUI: タイミンア 図





第 8 図  
FEU3: タイミング図

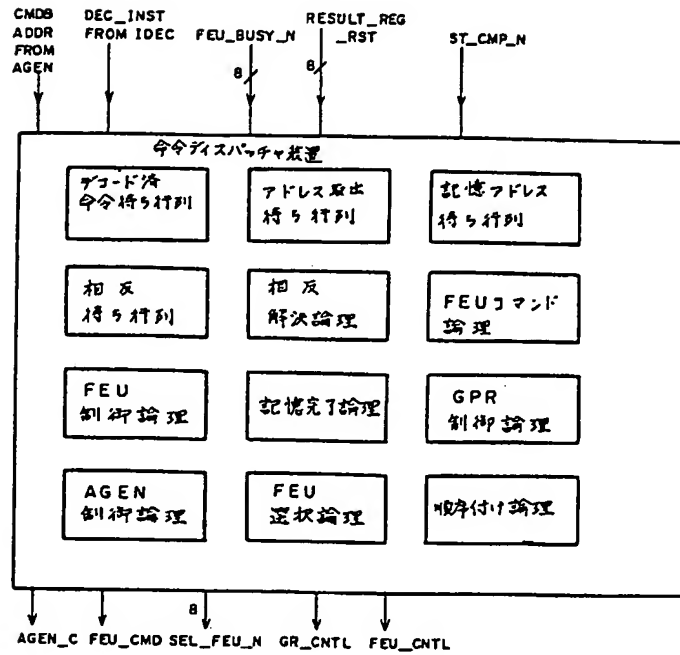
7171L	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
SEL_FEU_N																	
FEU_5_1_3_6																	
FEU_CNTL_N																	
FEU_5_1_3_6																	
GR_CNTL(1DISP)																	
GT_READ_GPR																	
GT_SRC_5																	
OPD_REG5_V																	
GT_SRC_6																	
OPD_REG6_V																	
FEU_EX																	
RESULT_V_3																	
RESULT_REG_RST_3																	
GT_WRITE_GPR																	
GPR_ADR																	
RESET_RESULT_3																	
FEU_BUSY_3																	

第 9 図  
FEU6: タイミング図

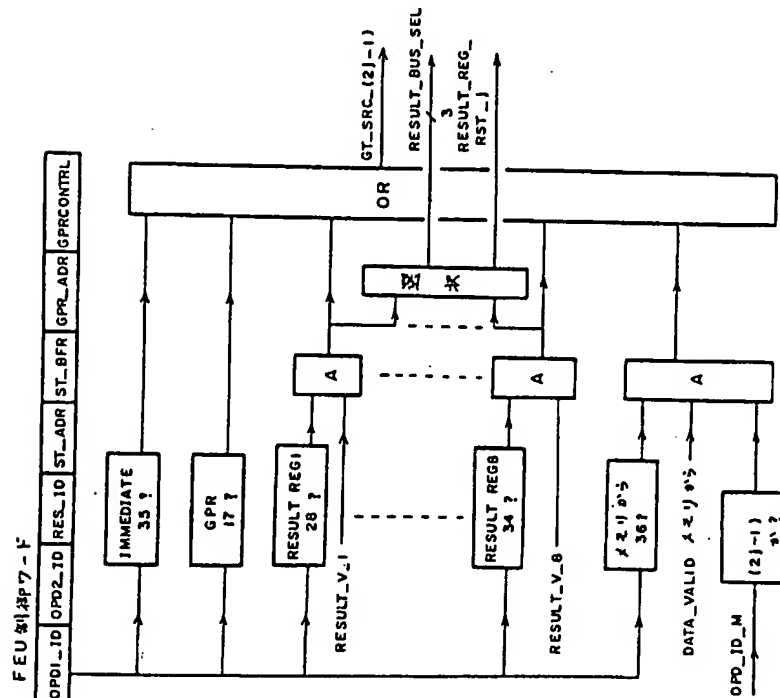
7171L	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
SEL_FEU_N																	
FEU_5_1_3_6																	
FEU_CNTL_N																	
FEU_5_1_3_6																	
GR_CNTL(1DISP)																	
GT_READ_GPR																	
GT_SRC_11																	
GT_SRC_12																	
OPD_REG11_V																	
OPD_REG12_V																	
FEU_EX																	
RESULT_V_6																	
RESULT_REG_RST_6																	
GT_WRITE_GPR																	
GPR_ADR																	
RESET_RESULT_6																	
FEU_BUSY_6																	

第 10 図

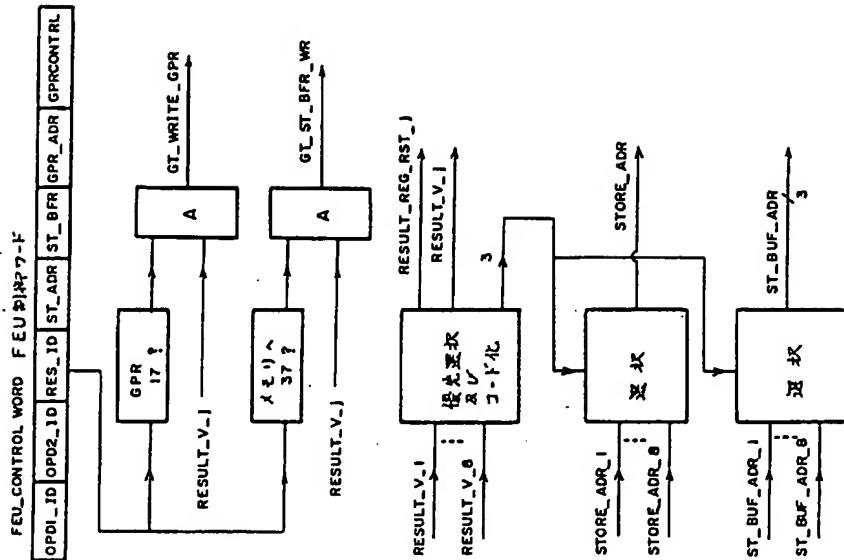
IDISP: 命令ディスパッチ詳細図



第 11 図  
原始結果選択論理: FEU 制御



第12図  
記憶域パフォーマンステキニ: FEU 制御



第13図

命令マップ: FEU 及びオペランドマッピング

OP J-F	オペランド	アドレスタイプ	OPDI	OPD2	RESULT	SRCISE	SRC2SE	FEU
48,49	XIO,VIO	IM,IMX	36	35	38-47	2	5	8
51	SBR	R	35	17	17	5	1	5
50	SB	D,DX	35	36	36	5	2	5
52	SBI	I,IX	35	36	36	5	2	5
54	RBR	R	35	17	17	5	1	5
53	RB	D,DX	35	36	36	5	2	5
55	RBI	I,IX	35	36	36	5	2	5
57	TBR	R	35	17	17	5	1	5
56	TB	D,DX	35	36	36	5	2	5
58	TBI	I,IX	35	36	36	5	2	5
59	TSB	D,DX	35	36	36	5	2	5
5A	SVBR	R	17	17	17	1	2	5
5C	RVBR	R	17	17	17	1	2	5
5	TVBR	R	17	17	17	1	2	5
60	SLL	R	17	35	17	5	1	5
61	SRL	R	17	35	17	5	1	5
62	SRA	R	17	35	17	5	1	5
63	SLC	R	17	35	17	5	1	5
65	DSLL	R	17	35	17	5	1	5
66	DSRL	R	17	35	17	5	1	5
67	DSRA	R	17	35	17	5	1	5
68	OSLC	R	17	35	17	5	1	5

第14図

命令マップ: FEU 及びオペランドマッピング

OP J-F	オペランド	アドレスタイプ	OPDI	OPD2	RESULT	SRCISE	SRC2SE	FEU
6A	SLR	R	17	17	17	1	1	5
6A	SAR	R	17	17	17	1	1	5
6C	SCR	R	17	17	17	1	1	5
6D	OSLR	R	17	17	17	1	1	5
6D	OSLR	R	17	17	17	1	1	5
6E	DSAR	R	17	17	17	1	1	5
6F	DSCR	R	17	17	17	1	1	5
70	JC	D,DX	-	-	-	-	-	8
71	JCI	I,IX	-	-	-	-	-	8
72	JS	D,DX	-	-	-	-	-	8
73	SOJ	D,DX	-	-	-	-	-	8
74	BR	ICR	-	-	-	-	-	8
75	BEZ	ICR	-	-	-	-	-	8
76	BLT	ICR	-	-	-	-	-	8
77	BEX	S	-	-	-	-	-	8
78	BLE	ICR	-	-	-	-	-	8
79	BGT	ICR	-	-	-	-	-	8
7A	BNZ	ICR	-	-	-	-	-	8
7B	BGE	ICR	-	-	-	-	-	8
7D	LST	D,DX	36	-	48	2	-	1
7C	LSTI	I,IX	36	-	48	2	-	1
7E	SJS	D,DX	17	17	17	1	5	8

## 第15図

命令マップ: FEU及びオペランドマッピング

## 第15図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
7F	URS	S	17	-	17	1	-	8
81	LR	R	17	-	17	1	-	1
00	LB	B	36	-	17	2	-	1
400	LBX	BX	36	-	17	2	-	1
82	LISP	ISP	35	-	17	5	-	1
83	LISN	ISN	35	-	17	5	-	1
80	L	D,DX	36	-	17	2	-	1
85	LIM	IM,IMX	35	-	17	5	-	1
84	LI	I,IX	36	-	17	2	-	1
87	DLR	R	17	-	17	1	-	8
01	DLB	B	36	-	17	2	-	1
401	DLBX	BX	36	-	17	2	-	1
86	DL	D,DX	36	-	17	2	-	1
88	DLI	I,IX	36	-	17	2	-	1
89	LM	D,DX	36	-	49	2	-	1

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
8A	EFL	D,DX	36	-	17	2	-	1
8B	LUB	D,DX	36	-	17	2	-	5
8D	LUBI	I,IX	36	-	17	2	-	5
8C	LLB	D,DX	36	-	17	2	-	5
8E	LLBI	I,IX	36	-	17	2	-	5
8F	POM	S	36	-	50	2	-	1
02	STB	B	17	-	37	2	-	2
402	STBX	BX	17	-	37	2	-	2
90	ST	D,DX	17	-	37	2	-	2
94	STI	I,IX	17	-	37	2	-	2
91	STC	D,DX	35	-	37	5	-	2
92	STCI	I,IX	35	-	37	5	-	2
93	MOV	S	36	-	37	2	-	8
03	DSTB	B	17	-	37	2	-	2
403	DSTX	BX	17	-	37	2	-	2
96	DST	D,DX	17	-	37	2	-	2
98	DSTI	I,IX	17	-	37	2	-	2
97	SRM	D,DX	17	36	37	1	2	5
99	STM	D,DX	17	-	51	1	-	8
9A	EFST	D,DX	17	-	37	2	-	2
9B	STUB	D,DX	17	-	37	1	-	5
9D	SUBI	I,IX	17	-	37	1	-	5

## 第17図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
9C	STLB	D,DX	17	-	37	1	-	5
9E	STBI	I,IX	17	-	37	1	-	5
9F	PSHM	S	17	-	51	1	-	2
AI	AR	R	17	17	17	1	1	3
10	AB	B	17	36	17	1	2	3
404	ABX	BX	17	36	17	1	2	3
A2	AISP	ISP	17	35	17	1	5	3
AO	A	D,DX	17	36	17	1	2	3
4A1	AIM	IM	17	35	17	1	5	3
A3	INCM	D,DX	35	36	37	5	2	3
A4	ABS	R	17	17	17	1	1	3
A5	DABS	R	17	17	17	1	1	3
A7	DAR	R	17	17	17	1	1	3
A6	DA	D,DX	17	36	17	1	2	3
A9	FAR	R	17	17	17	1	1	4
20	FAB	B	17	36	17	1	2	4
40B	FABX	BX	17	36	17	1	2	4
AB	FA	D,DX	17	36	17	1	2	4
AB	EFAR	R	17	17	17	1	1	4
AA	EFA	D,DX	17	36	17	1	2	4
AC	FABS	R	17	17	17	1	1	4
BI	SR	R	17	17	17	1	1	3

## 第18図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	ST-MEM	ST-REG	FEU
OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
405	SBBX	BX	17	36	17	1	2	3
B2	SISP	ISP	17	35	17	1	5	3
B0	S	D,DX	17	36	17	1	2	3
4A	SIM	IM	17	35	17	1	5	3
B3	DECM	D,DX	35	36	37	5	2	3
B5	DNEG	R	17	17	17	1	1	3
B7	DSR	R	17	17	17	1	1	3
B6	DS	D,DX	17	36	17	1	2	3
B9	FSR	R	17	17	17	1	1	4
21	FSB	B	17	36	17	1	2	4
409	FSBX	BX	17	36	17	1	2	4
B8	FS	D,DX	17	36	17	1	2	4
BB	EFBR	R	17	17	17	1	1	4
BA	EFS	D,DX	17	36	17	1	1	4
BC	FNEG	R	17	17	17	1	1	4
C1	MSR	R	17	17	17	1	1	6
C2	MISP	ISP	17	35	17	1	5	6
C3	MISN	ISN	17	35	17	1	5	6
CO	MS	D,DX	17	36	17	1	2	6
4A	MSIM	IM	17	35	17	1	5	6
C5	MR	R	17	17	17	1	1	6

## 第 19 図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
12	MB	B	17	36	17	1	2	6
406	MBX	BX	17	36	17	1	2	6
C4	M	D,DX	17	36	17	1	2	6
4A3	MIM	IM	17	35	17	1	5	6
C7	DMR	R	17	17	17	1	1	7
C6	DM	D,DX	17	36	17	1	2	7
C9	FMR	R	17	17	17	1	1	6
22	FMB	B	17	36	17	1	2	6
40A	FMBX	BX	17	36	17	1	2	6
C8	FM	D,DX	17	36	17	1	2	6
CB	EFMR	R	17	17	17	1	1	6
CA	EFM	D,DX	17	36	17	1	2	6
D1	DVR	R	17	17	17	1	1	7
D2	DISP	ISP	17	35	17	1	5	7
D3	DISN	ISN	17	35	17	1	5	7
D0	DV	D,DX	17	36	17	1	2	7
4A6	DVIM	IM	17	35	17	1	5	7
D5	DR	R	17	17	17	1	1	7
13	DB	B	17	36	17	1	2	7
407	DBX	BX	17	36	17	1	2	7
D4	D	D,DX	17	36	17	1	2	7
4A5	DIM	IM	17	35	17	1	2	7

## 第 20 図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
D7	DDR	R	17	17	17	1	1	7
D6	DD	D,DX	17	36	17	1	2	7
D9	FDR	R	17	17	17	1	1	7
23	FDB	B	17	36	17	1	2	7
408	FDBX	BX	17	36	17	1	2	7
D8	FD	D,DX	17	36	17	1	2	7
D8	EFDR	R	17	17	17	1	1	7
DA	EFD	D,DX	17	36	17	1	2	7
E1	ORR	R	17	17	17	1	1	5
30	ORB	B	17	36	17	1	2	5
40F	ORBX	BX	17	36	17	1	1	5
E0	OR	D,DX	17	36	17	1	2	5
4A8	ORIM	IM	17	35	17	1	5	5
E3	ANDA	R	17	17	17	1	1	5
31	ANDB	B	17	36	17	1	2	5
40E	ANDX	BX	17	36	17	1	2	5
E2	AND	D,DX	17	36	17	1	2	5
4A7	ANDM	IM	17	35	17	1	5	5
E5	XORR	R	17	17	17	1	1	5
E4	XOR	D,DX	17	36	17	1	2	5
4A	XORM	IM	17	35	17	1	5	5
E7	NR	R	17	17	17	1	1	5

## 第 21 図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
E6	N	D,DX	17	36	17	1	2	5
4A	NIM	IM	17	35	17	1	5	5
E8	FIX	R	17					8
E9	FLT	R	17					8
EA	EFIX	R	17					8
EB	EFLT	R	17					8
EC	XBR	S	17	17	17	1	1	5
ED	XWR	R	17	17	17	1	1	5
F1	CR	R	17	17	-	1	1	3
32	CB	B	17	36	-	1	2	3
40C	CBX	BX	17	36	-	1	2	3
F2	CISP	ISP	17	35	-	1	5	3
F3	CISN	ISN	17	35	-	1	5	3
FO	C	D,DX	17	36	-	1	2	3
4AA	CIM	IM	17	35	-	1	5	3
F4	CBL	D,DX						8
F7	DCR	R	17	17	-	1	1	3
F6	DC	D,DX	17	36	-	1	2	3
F9	FCR	R	17	17	-	1	1	3
33	FCB	B	17	36	-	1	2	3
40D	FCBX	BX	17	36	-	1	2	3

## 第 22 図

命令マップ: FEU及びオペランドマッピング

OPコード	オペランド	アドレスタイプ	OPD1	OPD2	RESULT	SRC1SE	SRC2SE	FEU
F8	FC	D,DX	17	36	-	1	2	3
F3	EFCR	R	17	17	-	1	1	3
FA	EFC	D,DX	17	36	-	1	2	3
FF00	NOP	S	-	-	-	-	-	8
FFFF	BPT	S	-	-	-	-	-	8